

IFW

PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/709,790	
	Filing Date	5/28/2004	
	First Named Inventor	Wen-Long Chin	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	ADMP0003USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
<div>Remarks</div>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	6/28/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/709,790
Filing Date	5/28/2004
First Named Inventor	Wen-Long Chin
Examiner Name	
Art Unit	
Attorney Docket No.	ADMP0003USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	= <input type="text"/>
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	X	<input type="text"/>	= <input type="text"/>
Multiple Dependent					<input type="text"/>	= <input type="text"/>

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	6/25/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

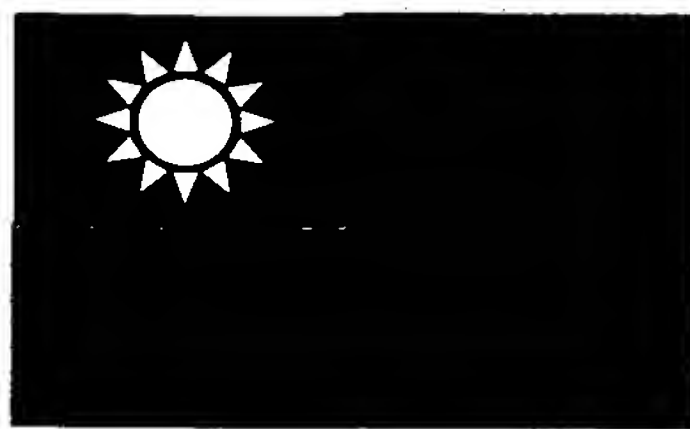
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092133217	Taiwan R.O.C	11/26/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 26 日
Application Date

申請案號：092133217
Application No.

申請人：上元科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 5 月 25 日
Issue Date

發文字號：09320496150
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	超長指令字元架構
	英 文	VERY LONG INSTRUCTION WORD ARCHITECTURE
二、 發明人 (共1人)	姓 名 (中文)	1. 卿文龍
	姓 名 (英文)	1. CHIN, WEN-LONG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市中華路七九九之八號三樓
	住居所 (英 文)	1. 3F, No. 799-8, Chung-Hwa Rd., Chu-Pei City, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 上元科技股份有限公司
	名稱或 姓 名 (英文)	1. ADMTEK INCORPORATED
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行路2號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F, No. 2, Li-Hsin Rd., Science-based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 盧崑瑞
	代表人 (英文)	1. LU, KUEN-RUEY



四、中文發明摘要 (發明名稱：超長指令字元架構)

一種超長指令字元架構包含有一用來依序地輸入複數個超長指令字元的超長指令輸入埠、一用來解譯該等超長指令字元所包含的複數個指令之解譯器、至少一暫存器、複數個資料匯流排、複數個用來執行該等指令的計算邏輯單元，以及複數個多工器。每一多工器之輸出埠皆連接於一對應的該計算邏輯單元之輸入埠，且其輸入埠藉由該等資料匯流排連接於該暫存器及該等計算邏輯單元之輸出埠。每一多工器會從該暫存器之輸出資料及該等計算邏輯單元的輸出資料中，選擇出兩輸出資料，以使該對應的計算邏輯單元執行該等指令之一，以對所選擇的該兩輸出資料進行運算。

五、英文發明摘要 (發明名稱：VERY LONG INSTRUCTION WORD ARCHITECTURE)

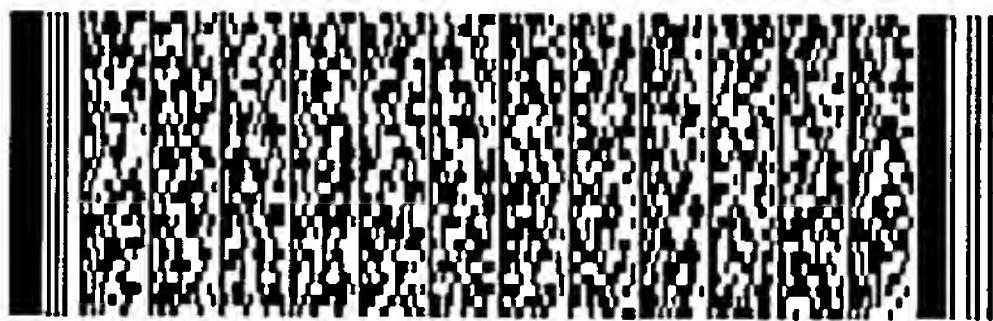
A very long instruction word (VLIW) architecture has a VLIW input port for sequentially inputting a plurality of VLIWs, a decoder for decoding a plurality of instructions of the VLIWs, at least a register, a plurality of data buses, a plurality of arithmetic logic units (ALUs) for executing the instructions, and a plurality of multiplexers. Every output port of the



四、中文發明摘要 (發明名稱：超長指令字元架構)

五、英文發明摘要 (發明名稱：VERY LONG INSTRUCTION WORD ARCHITECTURE)

multiplexers is connected to one of the ALUs, and every input port of the multiplexers is connected to the register and output ports of the ALUs via the data buses. Each of the multiplexers selects two outputs from the outputs of the data input port and the outputs of the ALUs so that the connected ALU executes one of the instructions to operate the two selected outputs.



六、指定代表圖

(一)、本案代表圖為：第___八_____圖

(二)、本案代表圖之元件代表符號簡單說明：

50	超長指令字元架構
52	暫存器檔案
54	計算邏輯單元
55	輸出埠
56	切換器陣列
60	資料匯流排
62	多工器
64	超長指令輸入埠
66	超長指令暫存器
72	一般暫存器
74	特別暫存器



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

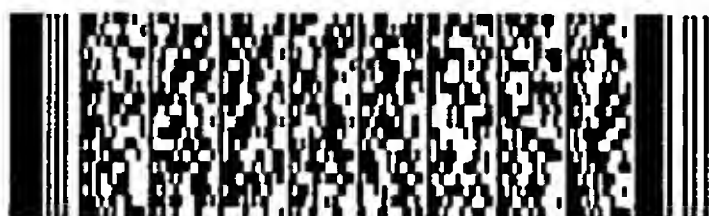
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【技術領域】

本發明提供一種超長指令字元 (very long instruction word, VLIW) 架構，尤指一種其計算邏輯單元 (Arithmetic Logic Unit, ALU) 之輸出可直接作為下一回合運算之輸入的超長指令字元架構。

【先前技術】

一般，每一台現代化的電腦系統中通常會包含有一顆中央處理器 (CPU)，用來執行其相關的運算作業，而隨著半導體製程不斷地進步，許多積體電路越做越小且其執行速度也越來越快，而中央處理器的效能相對而言也較之前的中央處理器優越。為加強中央處理器的效能，除了增加其運算時脈之外，另一種加強中央處理器效能的方法即是增加中央處理器於每一時脈週期所執行的運算次數，亦即讓中央處理器可以同時平行地執行複數個指令。上述同時間可平行執行複數個指令的電路架構一般稱之為超長指令字元 (VLIW) 架構，其係將複數個指令組合在一起，以形成一超長指令字元，以讓多個計算邏輯單元 (ALU) 同時執行。

請參考圖一，圖一為習知超長指令字元架構10之示意圖。超長指令字元架構10包含有一暫存器檔案12、複數



五、發明說明 (2)

個計算邏輯單元 (ALU) 14、一讀取切換器陣列16以及一寫入切換器陣列18。其中，暫存器檔案12包含有複數個暫存器，用來記錄資料，而舉凡輸入到超長指令字元架構10的資料、超長指令字元架構10經運算後所產生的資料，都會以一預設的資料儲存方式寫入暫存器檔案12或自暫存器檔案12中讀出。讀取切換器陣列16則是藉由複數個資料讀取匯流排24連接到暫存器檔案12的一資料輸出埠20，其是用來將暫存器檔案12經資料輸出埠20所輸出的資料，依據超長指令字元所包含的指令，來選擇適當的資料後再將之傳送到計算邏輯單元14進行運算。當計算邏輯單元14接收到讀取切換器陣列16所傳送過來的資料後，即會根據指令對所接收到的資料進行運算，並於運算結果出來後，將所得的運算結果透過寫入切換器陣列18寫到暫存器中儲存起來。如圖一所示，超長指令字元架構10另包含有複數個資料寫入匯流排26，寫入切換器陣列18即是透過資料寫入匯流排26以及暫存器檔案12的一資料輸入埠22，來將計算邏輯單元14的運算結果寫入至暫存器檔案12的暫存器內。

請參考圖二及圖三，圖二為習知一超長指令字元30之示意圖，圖三為圖二超長指令字元30之一指令40之資料結構圖。每一超長指令字元30皆包含有複數個指令40，其中每一指令40皆可由單一計算邏輯單元14執行。當超長指令字元架構10欲執行任一超長指令字元30之前，會



五、發明說明 (3)

先將所讀取的超長指令字元30解碼，以將超長指令字元30分解成複數個可供計算邏輯單元14執行的指令40。當超長指令字元架構10將超長指令字元30分解成複數個指令40之後，會將所分解後所得的指令40傳送到讀取切換器陣列16以及計算邏輯單元14，以令讀取切換器陣列16輸出適當的資料到計算邏輯單元14來進行相對應的運算。如圖三所示，每一指令40的資料長度皆為24位元，其包含有一六位元長度的指令識別碼42、一六位元長度的第一來源位址44、一六位元長度的第二來源位址46以及一六位元長度的目的位址48，其中讀取切換器陣列16會依據第一來源位址44以及第二來源位址46自暫存器檔案12中相對應的暫存器位址讀取兩筆資料，之後再將所讀取的兩筆資料傳送到某一計算邏輯單元14進行處理，而當計算邏輯單元14接收到上述兩筆資料時，會依據指令40的指令識別碼42執行對應的運算程序，以計算出運算結果出來。之後，計算邏輯單元14所輸出的運算結果會經由資料寫入匯流排26以及資料輸入埠22，儲存到指令40之目的位址48所指定的暫存器檔案12之暫存器位址內。

請參考圖四，圖四為圖一習知超長指令字元架構10執行超長指令字元30之時序圖。如圖所示，超長指令字元架構10會每隔一運算週期 t 執行一超長指令字元30，而每一超長指令字元30皆包含有四個指令40。在圖四中，分別

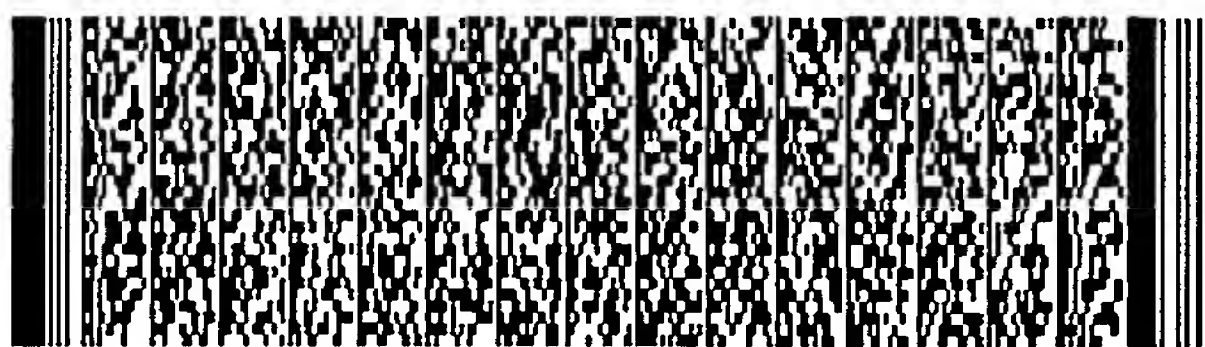


五、發明說明 (4)

標示為I0 ~ I7的八個指令40為有效指令，而其他標示為"NOP"的指令40則為「非運算 (no operations)」指令。當計算邏輯單元14接收到有效指令 (如I0 ~ I7) 時，其會執行該指令之指令識別碼42所對應的運算程序；而當計算邏輯單元14接收到非運算指令NOP時，其會在該運算週期內待命而不進行任何運算。

由上述的說明可知，每當計算邏輯單元14於一運算週期t內完成一指令40的執行動作後，其所得的運算結果必定會經由資料寫入匯流排26寫入到暫存器檔案12中儲存。然而此一設計在某些情況下卻會拉低超長指令字元架構10的執行效能，舉例來說，若計算邏輯單元14於某一運算週期所求得的運算結果將於下一個運算週期中被運用到時，該運算結果並無法直接輸入到計算邏輯單元14進行運算，而是必須要先被儲存至暫存區檔案12內，再從暫存區檔案12讀取出來並傳送到計算邏輯單元14，而這樣的資料傳遞流程無疑地會降低超長指令字元架構10的執行效能。

另外，由上述的說明亦可清楚地知道，每一超長指令字元30所包含的指令40並非全部都如指令I0 ~ I7一樣皆為有效指令，而是有包含非運算指令NOP的可能性。然而，因為每一指令40皆佔據了24位元的資料長度，故習知超長指令字元30的資料結構之設計並非完善，尤其當所包



五、發明說明 (5)

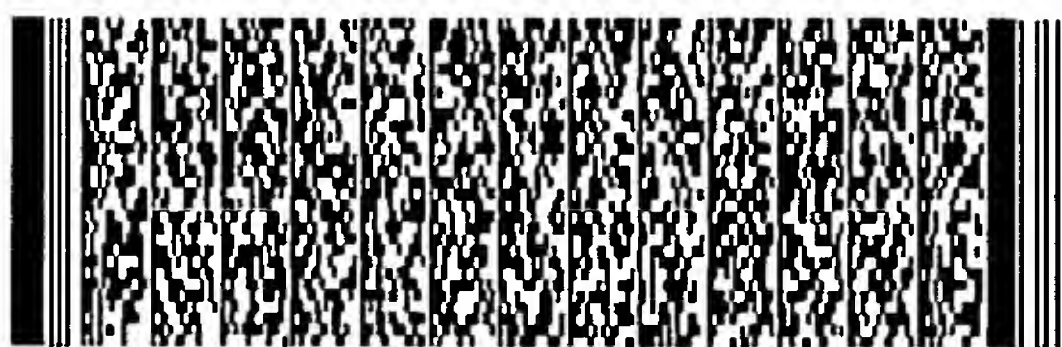
含的非運算指令NOP過多時，往往會佔據不必要的記憶體空間。

【內容】

因此，本發明的目的即在於提供一種超長指令字元架構，以解決上述習知技術中的問題。

依據本發明所申請之專利範圍，本發明所揭露的超長指令字元架構包含有一用來依序地輸入複數個超長指令字元所資元的超長指令輸入埠、一用來解譯該等超長指令字元個資元的超長複數個指令之解譯器、至少一暫存器、複數個資料匯流排、複數個用該等指令的計算邏輯單元，對排以及複數個多工器。每一多工器之輸出埠皆連接於一流排，以應該計算邏輯單元，且其輸入埠藉由該等資料匯流排連接於該暫存器及該等計算邏輯單元之輸出埠。每一多工器會從該暫存器及該等計算邏輯單元的輸出資料中，選擇出兩輸出資料，以對該等指令之一，以對該兩輸出資料進行運算。

因為，上述多工器不但可以從該暫存器作為資料來源，亦可以該複數個計算邏輯單元為資料來源，故在某些情況下，可有效縮短資料的傳遞路徑，也因此本發明之超



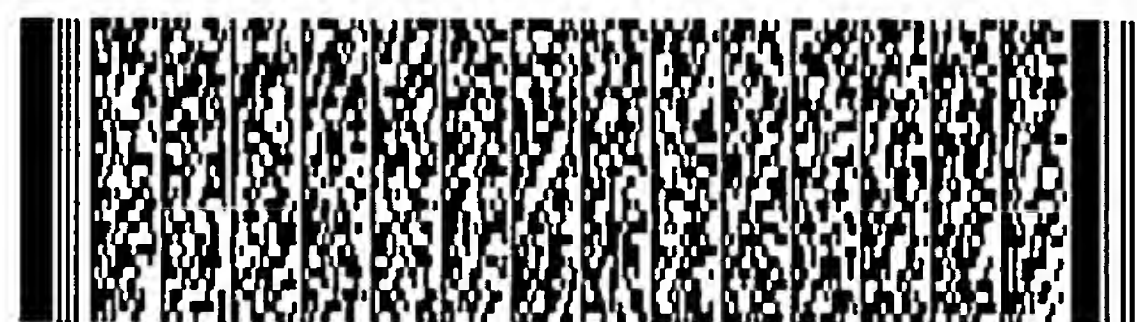
五、發明說明 (6)

長指令字元架構相較習知的超長指令字元架構而言，有較優越的執行效能。

本發明之另一項優點是其超長指令字元的資料結構採用與先前技術不一樣的設計，而可有效減少記憶體的使用。

【實施方法】

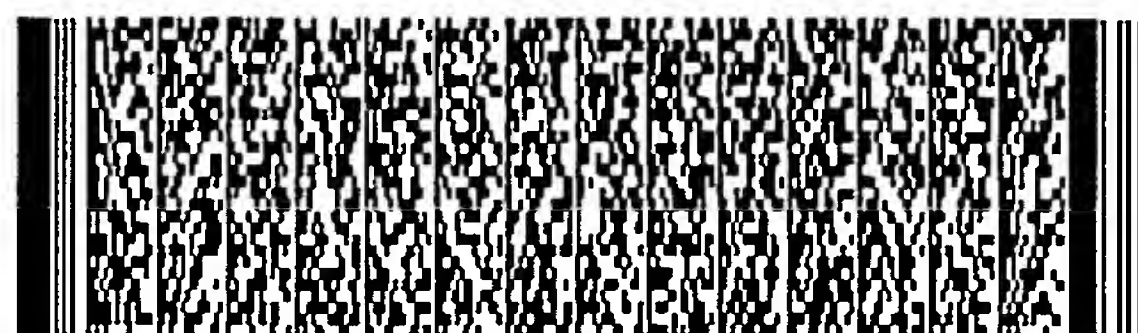
請參考圖五，圖五為本發明超長指令字元架構50之示意圖。超長指令字元架構50包含有一用來儲存及輸出資料的暫存器檔案52、複數個用來執行運算的計算邏輯單元(ALU)54、一切換器陣列56以及複數個用來傳遞資料的資料匯流排60。暫存器檔案52包含有複數個暫存器，而為超長指令字元架構50的一資料輸入埠，意即超長指令字元架構50運作時所需要的資料會先輸入到暫存器檔案52的暫存器內加以儲存，之後再被傳遞至計算邏輯單元54來進行運算。切換器陣列56會藉由資料讀取匯流排60連接到暫存器檔案52的一資料輸出／輸入埠58，其是用來將暫存器檔案52經資料輸出／輸入埠58所輸出的資料依據超長指令字元所包含的指令，選擇適當的資料後再將之傳送到計算邏輯單元54進行運算，以及將邏輯單元54經運算後所得的運算結果傳至暫存器檔案52儲存。當計算邏輯單元54接收到切換器陣列56所傳送過來的資料



五、發明說明 (7)

後，即會根據指令對所接收到的資料進行運算，並於運算結果出來後，將所得的運算結果傳遞到切換器陣列56。當切換器陣列56接收到計算邏輯單元54所傳送的運算結果後，其可以將該運算結果傳遞到某一計算邏輯單元54以進行下一回合的運算，或是將該運算結果傳遞到暫存器檔案52中加以儲存。故與習知超長指令字元架構10必定會將運算結果傳遞到暫存器檔案12儲存之方式不同的，超長指令字元架構50除了可將運算結果傳遞到暫存器檔案52儲存之外，亦可將運算結果直接傳遞到某一計算邏輯單元54來進行下一回合的運算。

請參考圖六及圖七，圖六為圖五超長指令字元架構50所使用之超長指令字元70之示意圖，圖七為圖六超長指令字元70之一指令80之資料結構圖。與超長指令字元30相似的，每一超長指令字元70亦皆包含有複數個指令80，而每一指令80亦可由單一個計算邏輯單元54執行。當超長指令字元架構50欲執行任一超長指令字元70之前，會先將所讀取的超長指令字元70解碼，以將超長指令字元70分解成複數個可供計算邏輯單元54執行的指令80。當超長指令字元架構50將超長指令字元70分解成複數個指令80之後，會將所分解後所得的指令80傳送到切換器陣列56以及計算邏輯單元54，以令切換器陣列56輸出適當的資料到計算邏輯單元54來進行相對應的運算。與指令40資料結構不同的是，每一指令80的資料長度皆為19位



五、發明說明 (8)

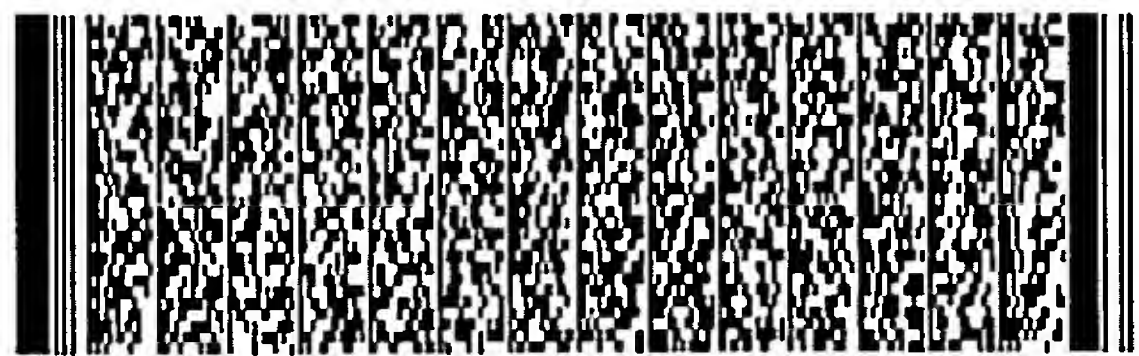
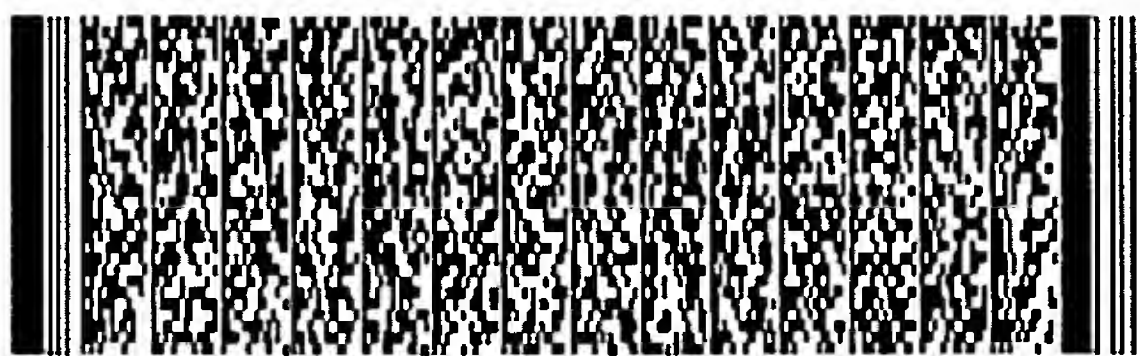
元 (如圖七所示)，其包含有一六位元長度的指令識別碼82、一六位元長度的第一來源位址84、一六位元長度的第二來源位址86，以及一位元長度的時序標籤88，其中指令識別碼82、第一來源位址84與第二來源位址86可統稱為一指令主體87。另外，讀取切換器陣列16會依據第一來源位址84以及第二來源位址86自暫存器檔案52中的相對應的暫存器位址或自某一計算邏輯單元54，來讀取或寫入相對應的資料。舉例來說，若指令80的指令識別碼82所代表的指令為相加的動作，則計算邏輯單元54會將第一來源位址84與第二來源位址86上的資料相加；而若指令80的指令識別碼82所代表的指令為資料搬移的動作，則多工器62會將第一來源位址84的資料搬移到第二來源位址86。另外，時序標籤88則是用來決定計算邏輯單元54執行指令80時之次序。關於超長指令字元架構50的運作情形，以下將有更詳細的描述。

請參考圖八，圖八為圖五超長指令字元架構50之電路圖。超長指令字元架構50另包含有一超長指令輸入埠64、一超長指令暫存器66以及一解譯及匯流排時序控制器68，而暫存器檔案52可區分為一一般暫存器72以及一特別暫存器74。需說明的是，本實施例中暫存器檔案52係經過簡化，其所包含的暫存器數目並不侷限於兩個。超長指令輸入埠64係用來依序地輸入複數個超長指令字元70，超長指令暫存器66用來暫存由超長指令輸入埠64



五、發明說明 (9)

所輸入的超長指令字元70，而解譯及匯流排時序控制器68則是用來解譯超長指令字元70所包含的複數個指令80，以及控制切換器陣列56以及計算邏輯單元54的動作，以使切換器陣列56的複數個多工器62可依據指令80選擇適當的資料至計算邏輯單元54做運算。一般暫存器72是用來儲存輸入到超長指令字元架構50的資料，而特別暫存器74則會隨著不同的應用而有不同的功能。如圖所示，每一多工器62之輸出埠63皆連接於暫存器檔案52的兩暫存器72、74以及一對應的計算邏輯單元54之輸入埠53，且每一多工器62之輸入埠61藉由資料匯流排60連接於暫存器檔案52及各計算邏輯單元54的輸出埠55。當超長指令字元架構50進行的每一週期的運算時，每一多工器62會從暫存器檔案52的一般暫存器72及特別暫存器74所輸出的資料及各計算邏輯單元54之輸出埠55所輸出的輸出資料中，選擇出兩輸出資料，再將所選擇的兩輸出的輸出資料傳送到所對應的計算邏輯單元54，以使其所對應的計算邏輯單元54依據所接收到指令80對所選擇的兩輸出資料進行運算。由此可知，計算邏輯單元54每一運算週期所求得之運算結果，可直接作為下一運算週期中某一計算邏輯單元54所需的資料來源之一，故在此情況下，計算邏輯單元54所求得的運算結果不必先儲存在暫存器檔案52即可直接輸入到計算邏輯單元54做運算，也因此相較於習知技術，超長指令字元架構50有較高的效能。



五、發明說明 (10)

另外，除了依據指令來選擇兩筆資料之外，切換器陣列56的多工器62亦可用來依據所接收到的指令80來搬移資料。當多工器62所接收到的指令80為「MOVE（搬移）」時，其會將指令80中所指示的第一來源位址84的資料搬移到該指令80中所指示的第二來源位址86。例如，當多工器62可以依據所接收到的指令80從各計算邏輯單元54的輸出資料中，選擇出一輸出資料，再將所選擇的輸出資料傳送到一般暫存器72或特別暫存器74來加以儲存。

請參考圖九及圖十，圖九為兩筆圖六超長指令字元70之示意圖，圖十為圖五超長指令字元架構50執行圖九兩超長指令字元70之時序圖。如之前的說明，每一超長指令字元70皆包含有複數個指令80，而每一指令80包含有一指令主體87以及一時序標籤88，而其中時序標籤88是用來決定計算邏輯單元54執行指令80時之次序。時序標籤88的資料長度為一位元，其所儲存的資料的值為"0"或為"1"，而解譯及匯流排時序控制器68會依據各指令80之時序標籤88的值來控制多工器62以及計算邏輯單元54的動作，以使各指令80能在預定的運算週期內被執行。解譯及匯流排時序控制器68用來控制指令80執行次序的方法為：當相鄰的指令80其時序標籤88的值相同時，則令該等指令80於同一運算週期內執行；反之，若相鄰的指令80其時序標籤88的值不相同時，則令該等指令80於不同的運算週期內執行。舉例來說，包含指令主體I0、I1



五、發明說明 (11)

的兩指令80其時序標籤88不相同，故指令主體I0與指令主體I1會分別於運算週期 t 與運算週期 $2t$ 執行；另包含指令主體I1、I2的兩指令80其時序標籤88相同，故指令主體I1與指令主體I2會於相同的運算週期 $2t$ 執行，而兩超長指令字元70所包含的各個指令主體I0~I7其執行順序即如圖十所示。相較於習知超長指令字元30有可能會包含非運算指令NOP而浪費掉資料的儲存空間，本發明所使用的超長指令字元70係利用時序標籤88來控制每個指令的執行順序，故不須再多加定義非運算指令NOP。此外，每一指令80的指令長度只有19位元，相較於習知指令40的24位元指令長度來得少，故本發明超長指令字元架構50可使用較小容量的記憶體，即可達到與習知超長指令字元架構10相同的功能。

最後需說明的是，每一多工器62與其對應的計算邏輯單元54可以整合為單一的元件，亦即每一計算邏輯單元54可包含其所連接之多工器62的功能，而以此方式實施者，亦屬於本發明所欲保護之範疇。

相較於習知技術，本發明之超長指令字元架構的多工器不但可以選擇暫存器作為資料的來源端，亦可直接選擇計算邏輯單元的輸出埠55作為資料的來源端，故當計算邏輯單元需要利用到前次運算週期所求得的運算結果來進行當次運算週期的運算時，因為前次運算週期所求得



五、發明說明 (12)

的運算結果可以直接輸入到計算邏輯單元進行運算，不必如習知技術需先儲存至暫存器，故其執行效能會較好。另外，因本發明之超長指令字元的資料結構係如上述說明中，採用時序標籤的設計，故其資料量會較小，並可採用容量較小的記憶體，即可達到與習知超長指令字元架構相同之功能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知超長指令字元架構之示意圖。
圖二為習知一超長指令字元之示意圖。
圖三為圖二超長指令字元之一指令之資料結構圖。
圖四為圖一習知超長指令字元架構執行超長指令字元之
時序圖。
圖五為本發明超長指令字元架構之示意圖。
圖六為圖五超長指令字元架構所使用之超長指令字元之
示意圖。
圖七為圖六超長指令字元之一指令之資料結構圖。
圖八為圖五超長指令字元架構之電路圖。
圖九為兩筆圖六超長指令字元之示意圖。
圖十為圖五超長指令字元架構執行圖九兩超長指令字元
時之時序圖。

圖式之符號說明

- 10、50 超長指令字元架構
- 12、52 暫存器檔案
- 14、54 計算邏輯單元
- 16 讀取切換器陣列
- 18 寫入切換器陣列
- 20 資料輸出埠



圖式簡單說明

22	資料輸入埠
24	資料讀取匯流排
26	資料寫入匯流排
30、70	超長指令字元
40、80	指令
42、82	指令識別碼
44、84	第一來源位址
46、86	第二來源位址
48	目的位址
55	輸出埠
56	切換器陣列
58	資料輸出／輸入埠
60	資料匯流排
62	多工器
64	超長指令輸入埠
66	超長指令暫存器
72	一般暫存器
74	特別暫存器
87	指令主體
88	時序標籤



六、申請專利範圍

1. 一種超長指令字元(very long instruction word, VLIW)架構，其包含有：

一超長指令輸入埠，用來依序地輸入複數個超長指令字元，其中每一超長指令字元皆包含有複數個指令；
一解譯器，用來解譯該等超長指令字元所包含的複數個指令；
至少一暫存器，用來儲存資料；
複數個資料匯流排(data bus)，用來傳遞資料；
複數個計算邏輯單元(Arithmetic Logic Units, ALUs)，用來執行該等超長指令字元所包含的該等指令；以及
複數個多工器，每一多工器之輸出埠皆連接於一對應的該計算邏輯單元之輸入埠，且每一多工器之輸入埠藉由該等資料匯流排連接於該暫存器及該等計算邏輯單元之輸出埠；
其中每一多工器會從該暫存器之輸出資料及該等計算邏輯單元之輸出資料中，選擇出兩輸出資料，再將所選擇的兩輸出資料傳送到所對應的該計算邏輯單元，以使該對應的計算邏輯單元執行該等指令之一，以對所選擇的該兩輸出資料進行運算。

2. 如申請專利範圍第1項之超長指令字元架構，其中每一多工器皆連接於該解譯器，且每一多工器會依據該解譯器所解譯出之指定，從該暫存器之輸出資料及該等計算



六、申請專利範圍

邏輯單元之輸出埠的輸出資料中，選擇出該兩輸出資料。

3. 如申請專利範圍第1項之超長指令字元架構，其中每一多工器會週期性地從該暫存器之輸出資料及該等計算邏輯單元之輸出埠的輸出資料中，選擇出兩輸出資料，再將所選擇的兩輸出資料傳送到所對應的該計算邏輯單元，以使該對應的計算邏輯單元週期性地執行該等指令，以對其所對應的該多工器所選擇出的輸出資料進行運算。

4. 如申請專利範圍第1項之超長指令字元架構，其中每一指令皆包含有一時序標籤，而該解譯器會依據該等指令之時序標籤，來決定該等計算邏輯單元執行該等指令之次序。

5. 如申請專利範圍第1項之超長指令字元架構，其另包含有一超長指令暫存器，連接於該超長指令輸入埠與該解譯器之間，用來儲存由該超長指令輸入埠所輸入之該等超長指令字元。

6. 如申請專利範圍第1項之超長指令字元架構，其中每一多工器之輸出埠皆連接於該暫存器，其會依據該等指令之一，從該等計算邏輯單元之輸出資料中，選擇出一輸



六、申請專利範圍

出資料，再將所選擇的輸出資料傳送到該暫存器儲存。

7. 一種超長指令字元(very long instruction word, VLIW)架構，其包含有：

一超長指令輸入埠，用來依序地輸入複數個超長指令字元，其中每一超長指令字元皆包含有複數個指令；

一解譯器，用來解譯該等超長指令字元所包含的複數個指令；

一暫存器檔案，其包含有複數個暫存器，用來儲存資料；

複數個資料匯流排(data bus)，用來傳遞資料；

複數個計算邏輯單元(Arithmetic Logic Units, ALUs)，用來執行該等超長指令字元所包含的該等指令；以及

複數個多工器，每一多工器之輸出埠皆連接於一對應的該計算邏輯單元之輸入埠，且每一多工器之輸入埠藉由該等資料匯流排連接於該等暫存器及該等計算邏輯單元之輸出埠；

其中每一多工器會從該等暫存器之輸出資料及該等計算邏輯單元之輸出資料中，選擇出的兩輸出資料，再將所選擇的兩輸出資料傳送到所對應的該計算邏輯單元，以使該對應的計算邏輯單元執行該等指令之一，以對所選擇的該兩輸出資料進行運算。



六、申請專利範圍

8. 如申請專利範圍第7項之超長指令字元架構，其中每一多工器皆連接於該解譯器，且每一多工器會依據該解譯器所解譯出之指定，從該等暫存器之輸出資料及該等計算邏輯單元之輸出埠的輸出資料中，選擇出該兩輸出資料。

9. 如申請專利範圍第7項之超長指令字元架構，其中每一多工器會週期性地從該等暫存器之輸出資料及該等計算邏輯單元之輸出埠的輸出資料中，選擇出兩輸出資料，再將所選擇的兩輸出資料傳送到所對應的該計算邏輯單元，以使該對應的計算邏輯單元週期性地執行該等指令，以對其所對應的該多工器所選擇出的輸出資料進行運算。

10. 如申請專利範圍第7項之超長指令字元架構，其中每一指令皆包含有一時序標籤，而該解譯器會依據該等指令之時序標籤，來決定該等計算邏輯單元執行該等指令之次序。

11. 如申請專利範圍第7項之超長指令字元架構，其另包含有一超長指令暫存器，連接於該超長指令輸入埠與該解譯器之間，用來儲存由該超長指令輸入埠所輸入之該等超長指令字元。

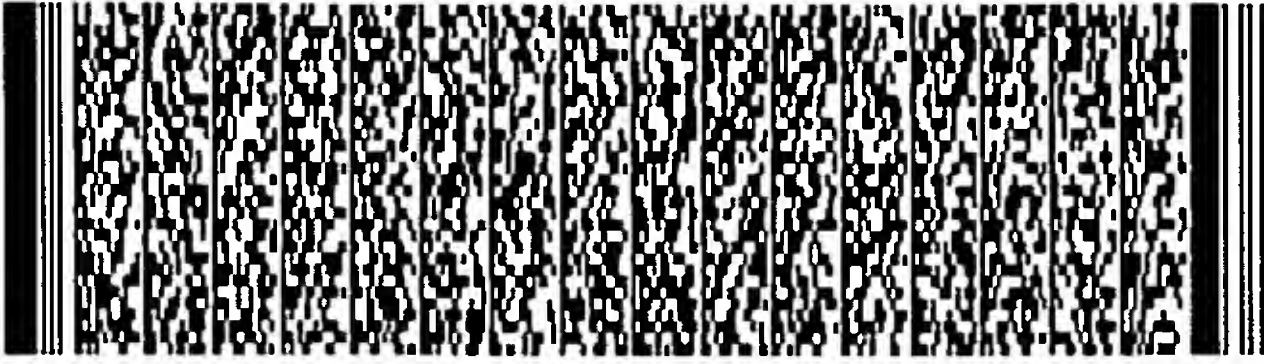


六、申請專利範圍

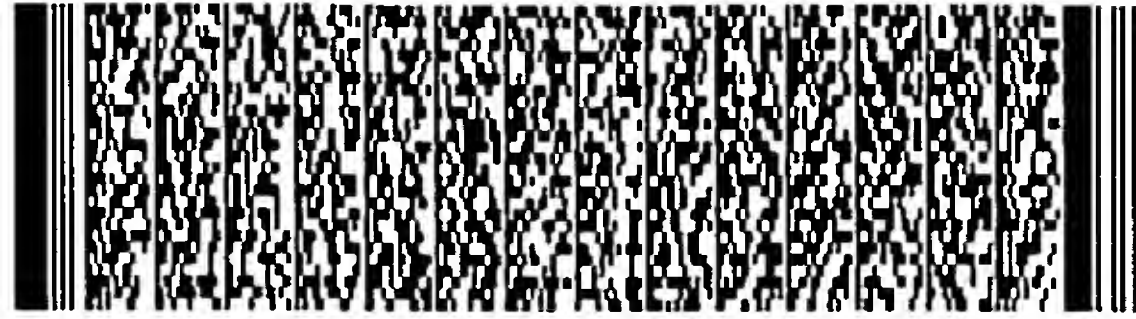
12. 如申請專利範圍第7項之超長指令字元架構，其中每一多工器之輸出埠皆連接於該等暫存器，其會依據該等指令之一，從該等計算邏輯單元之輸出資料中，選擇出一輸出資料，再將所選擇的輸出資料傳送到該暫存器之一儲存。



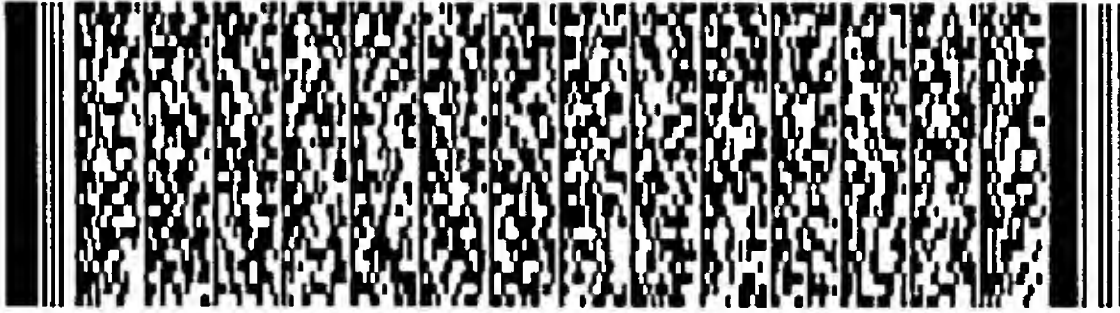
第 1/24 頁



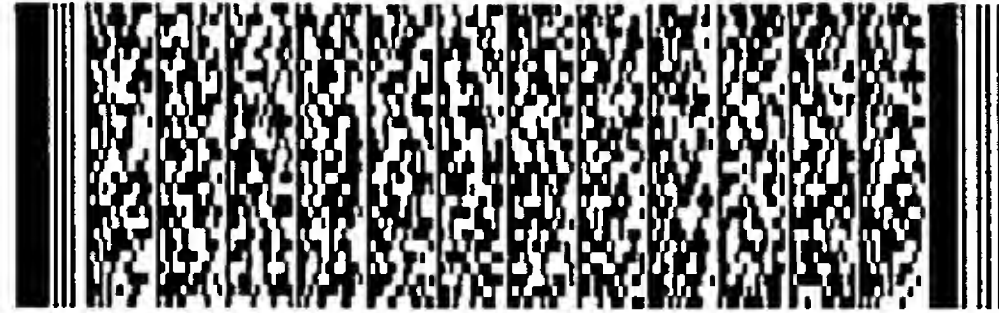
第 2/24 頁



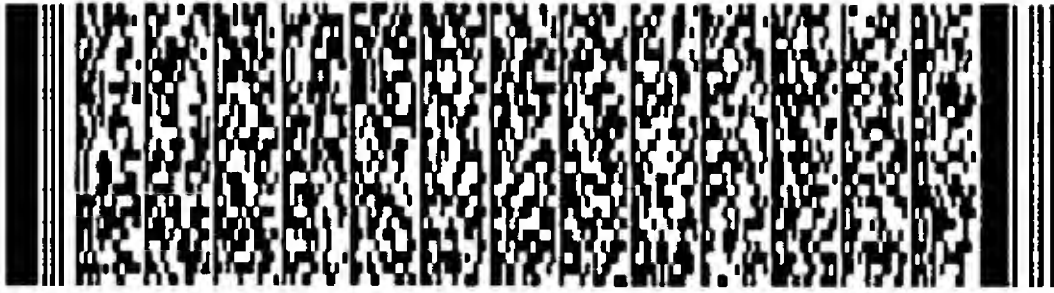
第 2/24 頁



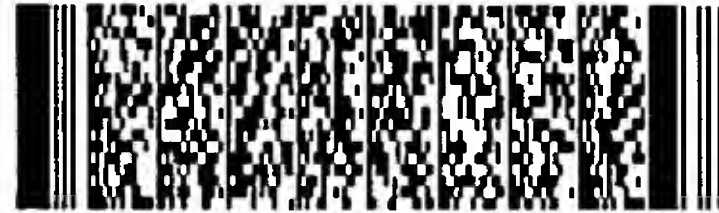
第 3/24 頁



第 4/24 頁



第 5/24 頁



第 6/24 頁



第 6/24 頁



第 7/24 頁



第 7/24 頁



第 8/24 頁



第 8/24 頁



第 9/24 頁



第 9/24 頁



第 10/24 頁



第 10/24 頁



第 11/24 頁



第 11/24 頁



第 12/24 頁



第 12/24 頁



第 13/24 頁



第 13/24 頁



第 14/24 頁



第 14/24 頁



第 15/24 頁



第 15/24 頁



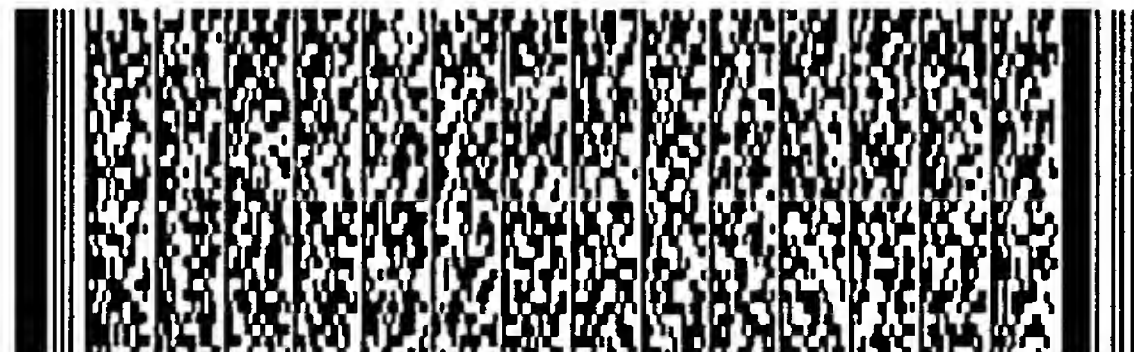
第 16/24 頁



第 16/24 頁



第 17/24 頁



第 18/24 頁



第 19/24 頁



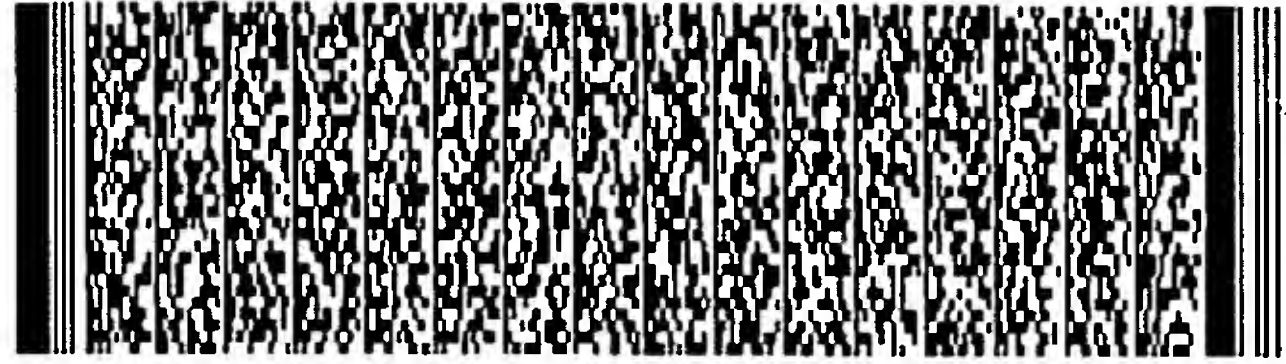
第 20/24 頁



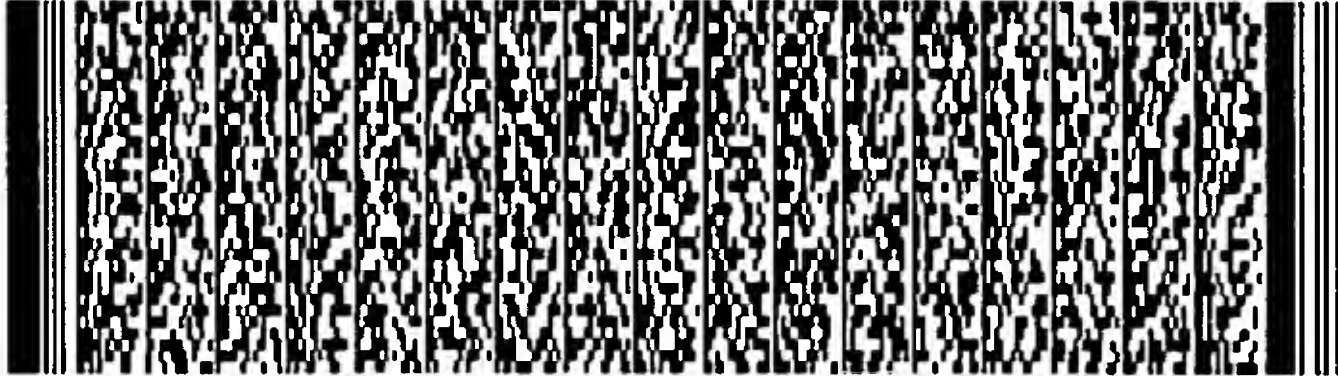
第 20/24 頁



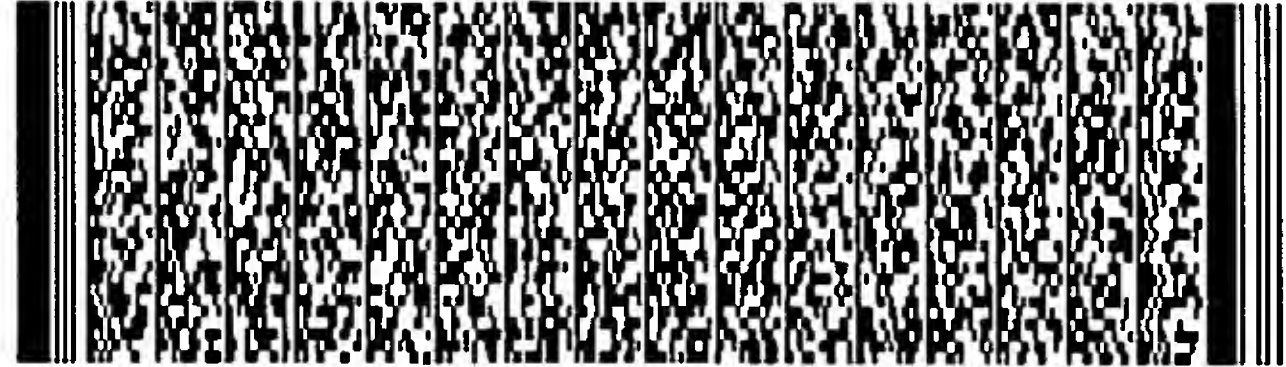
第 21/24 頁



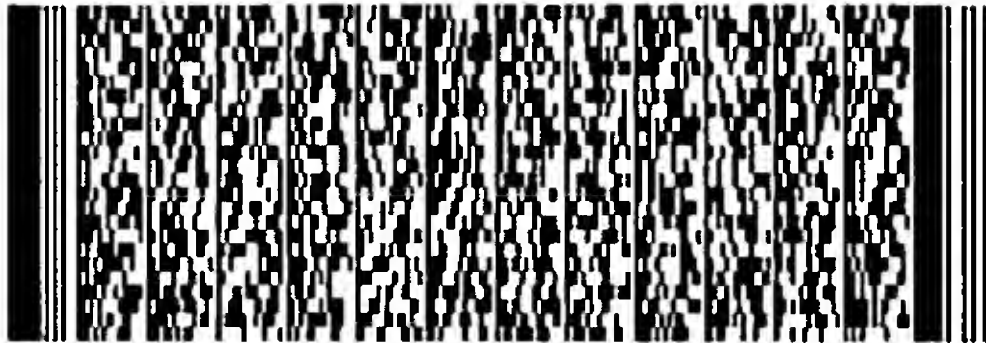
第 22/24 頁

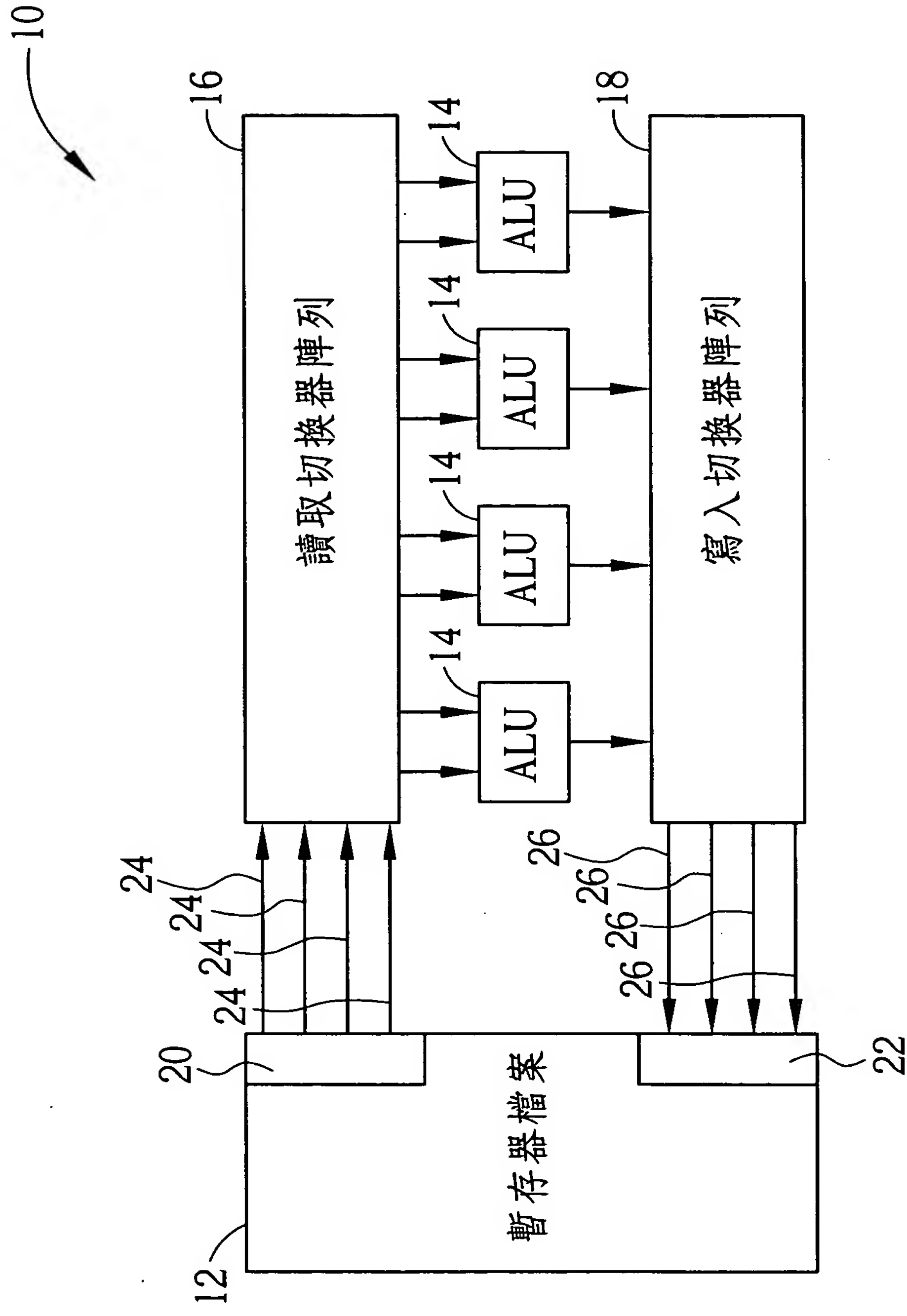


第 23/24 頁



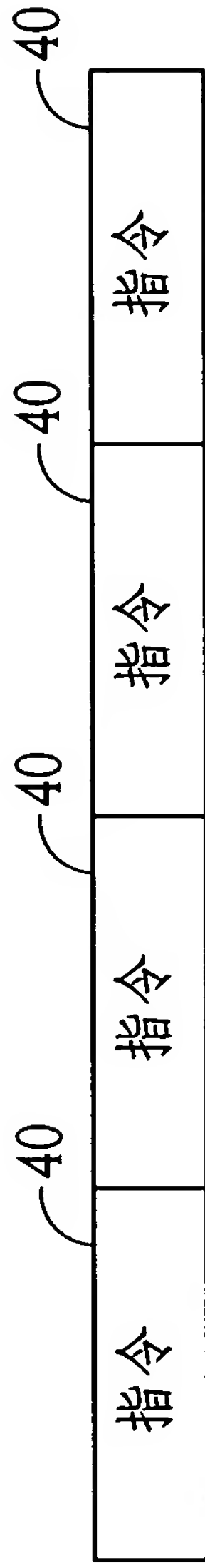
第 24/24 頁





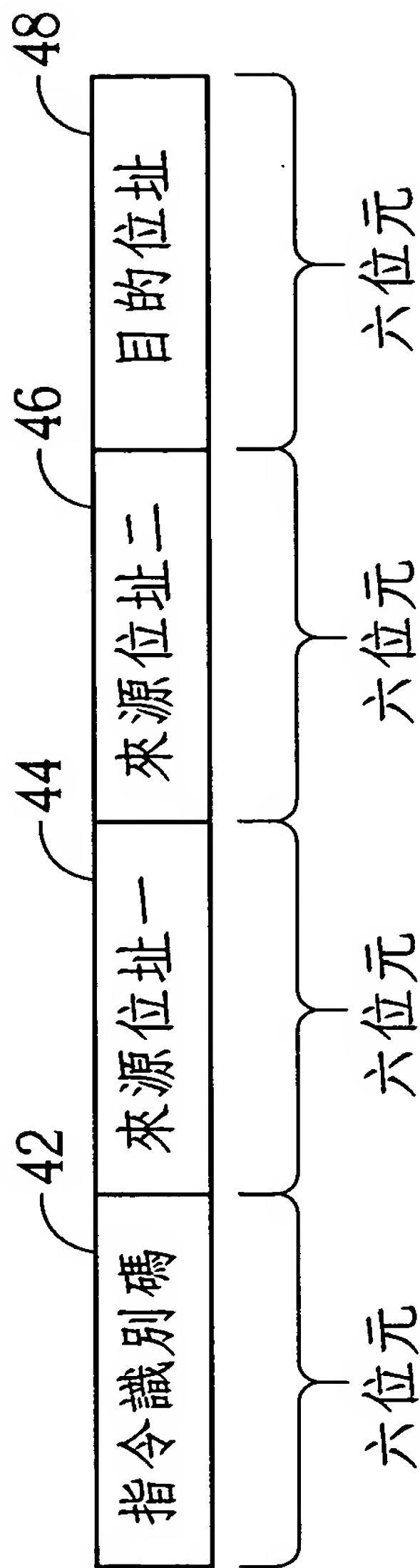
圖一

30

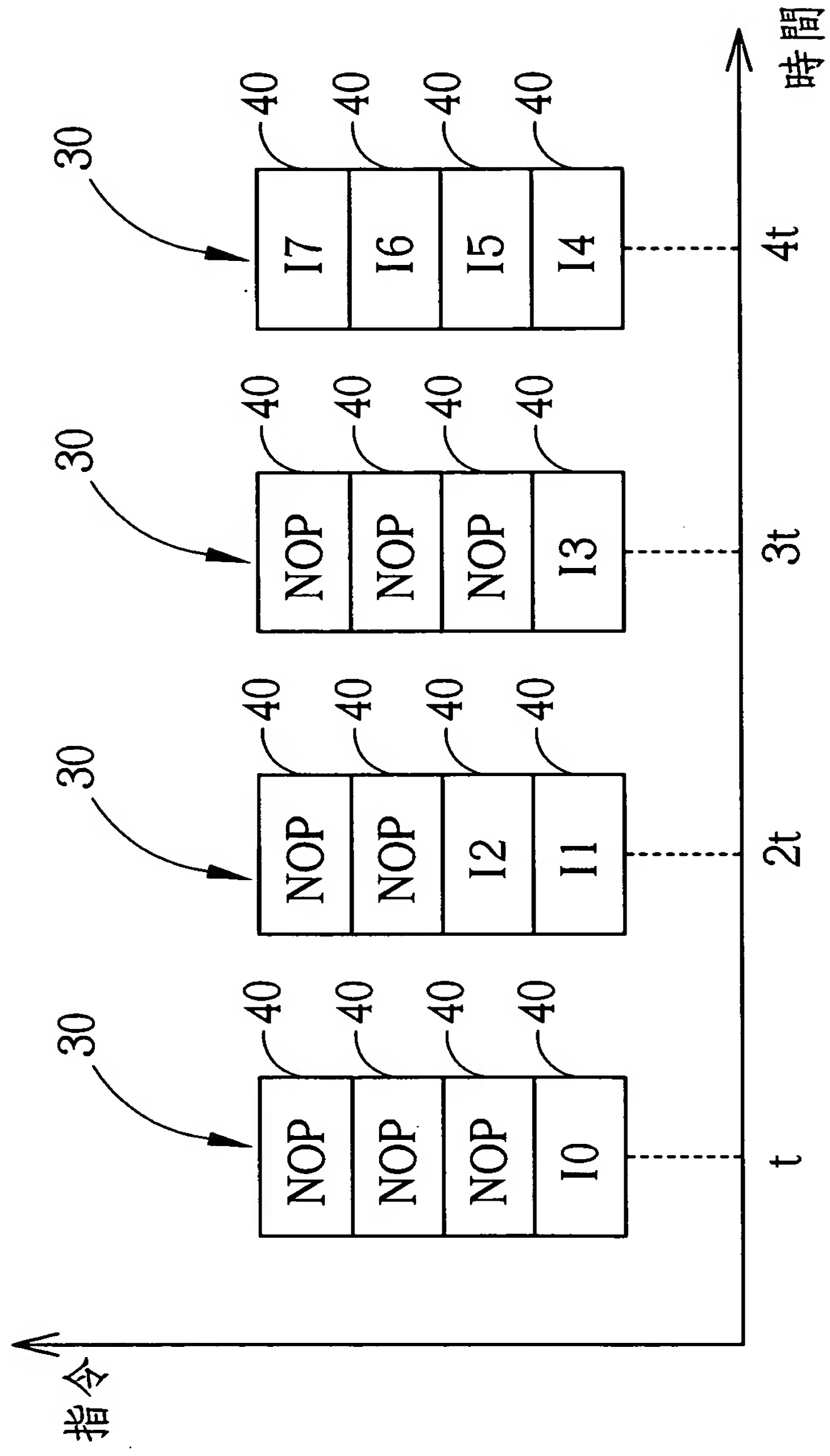


圖二

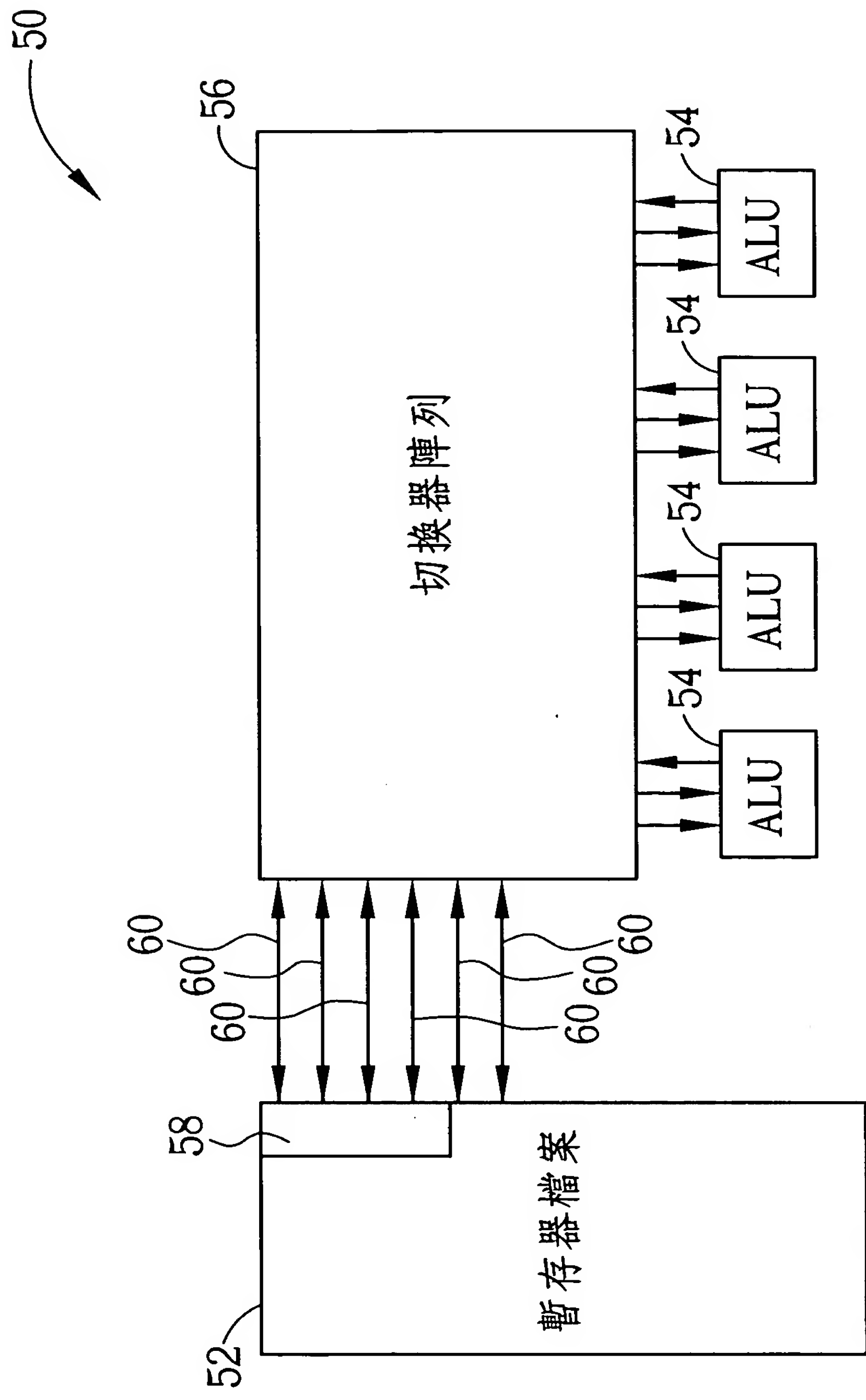
40



圖三

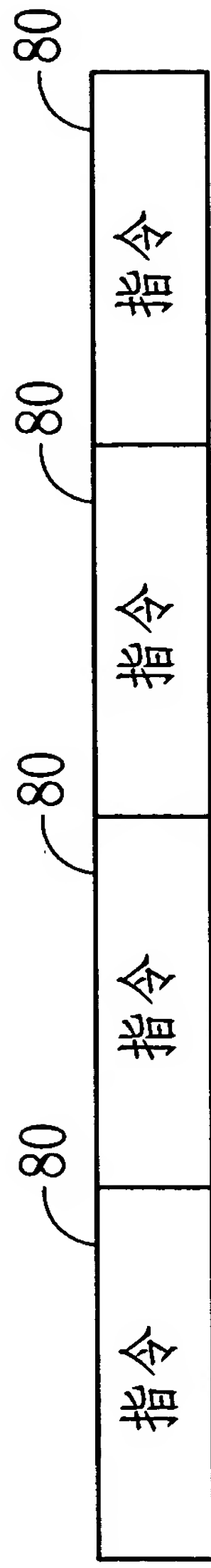


圖四

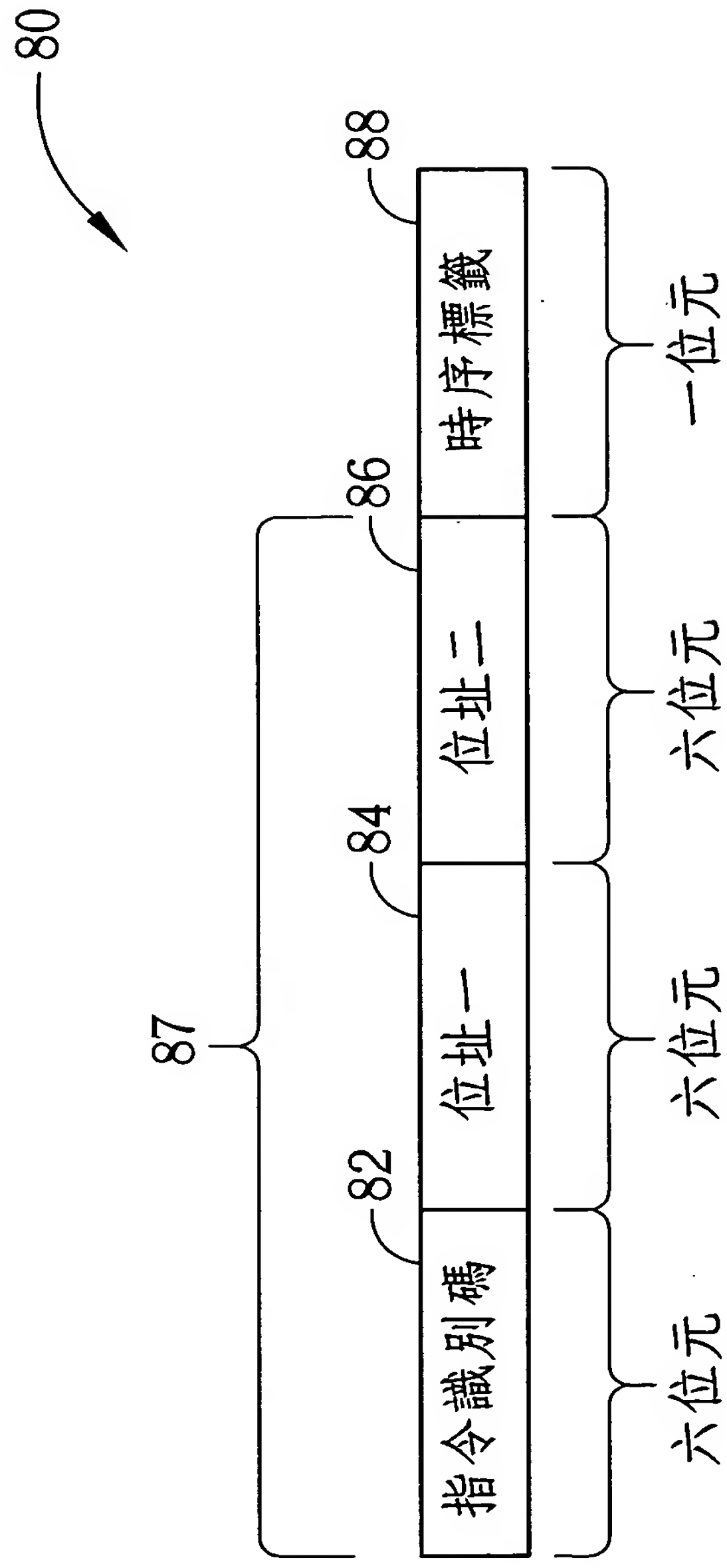


圖五

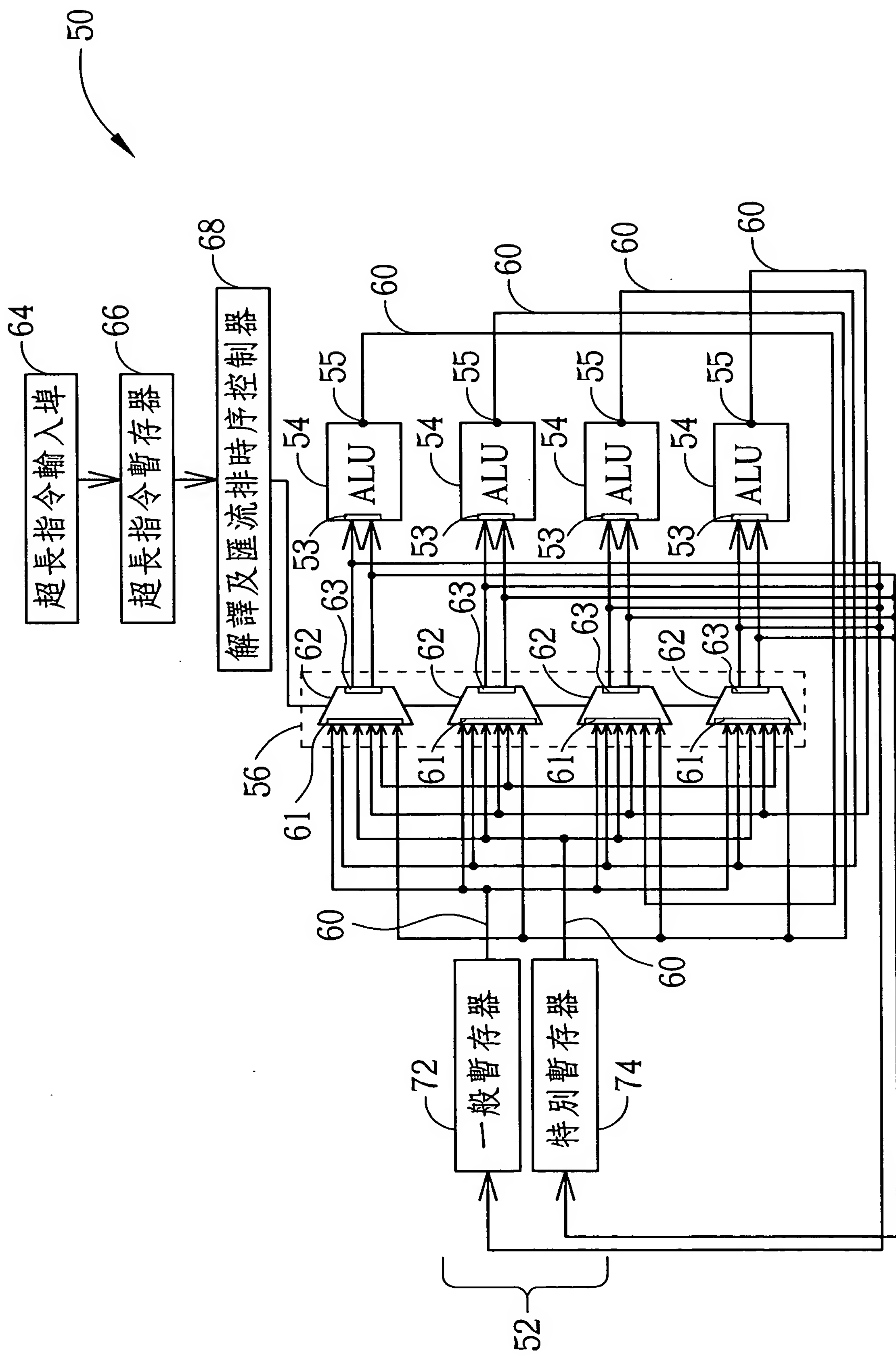
70



圖六



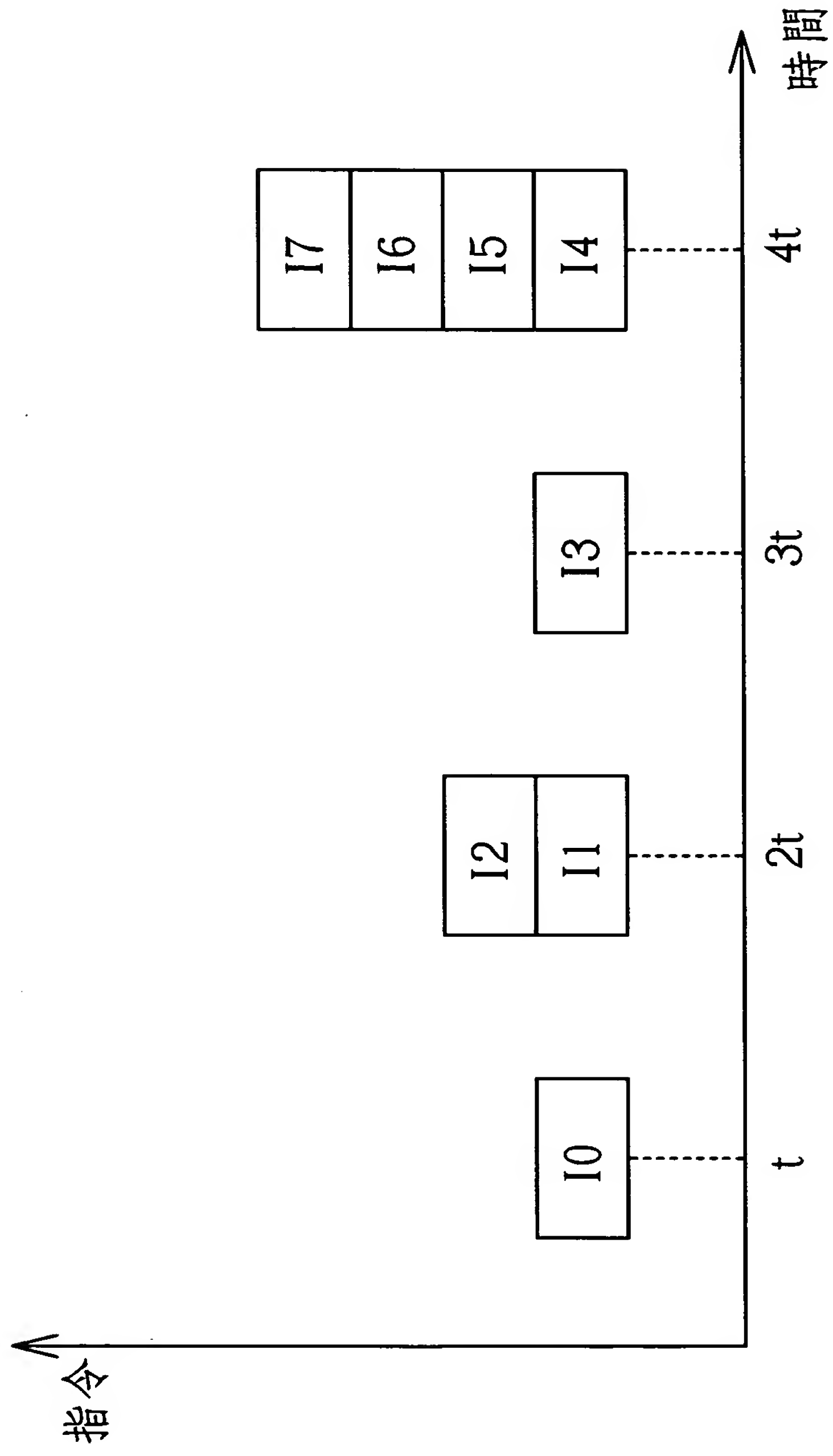
圖七



圖八

LI0	I0	0	I1	1	I2	1	I3	0	70
LI1	I4	0	I5	0	I6	0	I7	0	70

圖九



圖十